**CORPORACIÓN UNIVERSITARIA MINUTO DE DIOS**

**FACULTAD DE INGENIERÍA**

**PROGRAMA TECNOLOGÍA EN LECTRÓNICA**

**LABORATORIO 4 ELECTRÓNICA DIGITAL**

**DOCENTE: ING.CAMILO JOSE PEÑA LAPEIRA**

FLIP-FLOPS

Los circuitos lógicos presentados anteriormente han sido circuitos combinacionales cuyos niveles de salida dependen en cualquier instante únicamente de los niveles presentes en las entradas. Cualquier condición anterior que haya tenido el nivel de entrada no tendrá ningún efecto sobre las salidas actuales debido a que los circuitos lógicos combinacionales no tienen [memoria](http://www.monografias.com/trabajos13/memor/memor.shtml) . A diferencia de los circuitos combinacionales (en los que su salida depende únicamente del estado presente en las entradas), los Flip-Flops son circuitos secuenciales cuyas salidas dependen precisamente de la secuencia que se haya ido teniendo en memoria para cada una de las entradas.

Los Flip-Flops son de gran importancia, pues son una unidad fundamental de memoria y tienen la capacidad de almacenar un BIT (Binary Digit ó Dígito Binario). El bit es la unidad mínima de [información](http://www.monografias.com/trabajos7/sisinf/sisinf.shtml)  empleada en [informática](http://www.monografias.com/trabajos11/curinfa/curinfa.shtml)  o en cualquier dispositivo digital.

FLIP-FLOP (SR)

El más simple y básico es el Flip-Flop RS, el cual tiene una entrada SET y otra RESET, por lo cual se conoce como Set-Reset o SR.

1. Utilizando el IC 7402, montar el circuito de la Figura 10, que es un Flip-Flop SR con puertas NOR.



 SOLUCIÓN:

El diseño del circuito de la Figura 10 en la protoboard queda de esta forma:



La tabla de verdad para este circuito es la siguiente:



El funcionamiento de este circuito es que al dejar sueltos (sin conectar a ninguna parte) los pines 2 y 6 del IC 7402, es como estarle dando el valor de 1 tanto a SET como también a RESET (lo cual daría una salida inválida según se observa en la Tabla 10). Para dar [valores](http://www.monografias.com/trabajos14/nuevmicro/nuevmicro.shtml)  de cero ya sea a SET o a RESET, lo que se tiene que hacer es conectar a GND (ground o [tierra](http://www.monografias.com/trabajos11/tierreco/tierreco.shtml) ) SET o RESET, según se desee la salida.

El estado "No hay [cambio](http://www.monografias.com/trabajos2/mercambiario/mercambiario.shtml) " es una condición donde el Flip-Flop "recuerda" (es decir que mantiene en memoria) su último estado. ¿Qué pasaría si el circuito se enciende sin una condición previa qué recordar? Para experimentar el efecto, seguir el [procedimiento](http://www.monografias.com/trabajos13/mapro/mapro.shtml)  siguiente:

Colocar SET y RESET en cero.

Desconectar la fuente de voltaje de la protoboard.

Conectar y desconectar rápidamente la fuente de voltaje y conectar finalmente en forma permanente. Repetir varias veces este [proceso](http://www.monografias.com/trabajos14/administ-procesos/administ-procesos.shtml#PROCE)  y notar el estado de las salidas en cada prueba.

¿Las salidas Q y Q NEGADO siempre quedan en el mismo estado al encender con SET y RESET en cero?

Respuesta: No. Lo cierto es que las salidas Q y Q NEGADO sí cambian de estado.

El fenómeno anterior se conoce como "RACE". Explique por qué se da esta condición.

Respuesta: Se da porque antes de conectar la fuente de [alimentación](http://www.monografias.com/Salud/Nutricion/)  no se le han dado valores para que se almacenen en memoria. En [electrónica](http://www.monografias.com/trabajos5/electro/electro.shtml)  este fenómeno se llama "condición de carrera" o "race condition" en [inglés](http://www.monografias.com/trabajos16/manual-ingles/manual-ingles.shtml) , aunque sería mejor referirse al estado de carrera (como en "estado de espera") como el error que se produce en circuitos lógicos cuando no han sido diseñados adecuadamente para su ejecución simultánea con otros. Un ejemplo típico es el interbloqueo que se produce cuando dos [procesos](http://www.monografias.com/trabajos14/administ-procesos/administ-procesos.shtml#PROCE)  están esperando a que el otro realice una acción. Como los dos están esperando, ninguno llega a realizar la acción que el otro espera. En conclusión, lo que sucede es que cuando se enciende la fuente de alimentación, el estado de salida resultante depende de cuál salida (Q ó Q NEGADO) llegue primero a alto. Esta transición simultánea produce resultados impredecibles y es por esa razón que las salidas Q y Q NEGADO no siempre quedan en el mismo estado al encender con SET y RESET en cero.

11. Utilizando el IC 7400, montar el circuito de la Figura 11, que es un Flip-Flop SR con puertas NAND.



SOLUCIÓN:

El diseño del circuito de la Figura 11 en la protoboard queda de esta forma:



La tabla de verdad para este circuito es la siguiente:



El funcionamiento de este circuito es que al dejar sueltos (sin conectar a ninguna parte) los pines 1 y 5 del IC 7400, es como estarle dando el valor de 1 tanto a SET como también a RESET (lo cual mantendría las salidas tal como estaban, según se observa en la Tabla 11). Para dar valores de cero ya sea a SET o a RESET, lo que se tiene que hacer es conectar a GND (ground o tierra) SET o RESET, según se desee la salida.

¿Las entradas son activas en nivel ALTO o BAJO?

Respuesta: En nivel BAJO, pues si SET está en BAJO (en cero) y RESET en ALTO (en uno), la salida Q será uno, es decir SET o FIJAR. Caso contrario, si SET está en ALTO y RESET en bajo, la salida será cero, es decir RESET o REINICIAR. Por lo tanto, las entradas son activas en nivel BAJO.

¿Con qué condición de entrada se da el estado de salida "No hay cambio"?

Respuesta: Cuando tanto SET como también RESET están en BAJO, es decir cuando se tiene SET = RESET = 1.

¿Con qué condición de entrada se da el estado de salida "Inválido"?

Respuesta: Cuando tanto SET como también RESET están en BAJO, es decir cuando se tiene SET = RESET = 0.

¿En qué condiciones se da el efecto "RACE"?

Respuesta: En el caso del Flip-Flop NAND, el "efecto RACE" se dará al hacer lo siguiente:

Colocar SET y RESET en uno.

Desconectar la fuente de voltaje de la protoboard.

Conectar y desconectar rápidamente la fuente de voltaje y conectar finalmente en forma permanente.

Tomando como base el circuito de la Figura 11, ¿qué tendría que hacerse para cambiar el nivel con que se activan las entradas SET y RESET?

Respuesta: Se tendría que ponerle un negador (NOT, con un IC 74LS04) a SET y a RESET, con lo cual cambiaría el nivel con el que se activan las entradas SET y RESET, pues en vez de activarse en el nivel BAJO se activarían con ALTO.

El Flip-Flop de la Figura 11 se puede modificar fácilmente agregando una señal de habilitación que le permita reaccionar a los cambios de entrada solamente cuando la señal de habilitación está presente. El circuito resultante se conoce como "Flip-Flop SR con habilitador o "Gated RS" y se mostrará a continuación.

12. Utilizando el IC 7400, montar el circuito de la Figura 12, que es un Flip-Flop SR con habilitador.



SOLUCIÓN:

El diseño del circuito de la Figura 12 en la protoboard queda de esta forma:



La tabla de verdad para este circuito es la siguiente:



Este circuito funciona de manera tal que si ENABLE está en cero (conectado a tierra, que es GND o ground), no importa qué valores haya en SET o en RESET, no habrá ningún cambio en las salidas. Hasta que ENABLE se pone en uno (que es conectado a la fuente de alimentación o VCC, aunque también puede hacerse simplemente dejando los pines sueltos), el circuito responderá o enviará salidas en consideración a [los valores](http://www.monografias.com/trabajos14/nuevmicro/nuevmicro.shtml)  que hayan en SET y RESET y según el funcionamiento del Flip-Flop NOR, el cual fue estudiado anteriormente. A pesar que las dos compuertas que están a la derecha en la Figura 12 forman un Flip-Flop NAND, el circuito completo de la Figura 12 funciona como un Flip-Flop NOR cuando ENABLE está en ALTO o 1 debido a que si SET (pin 9 de la Figura 12) está en cero, el pin 1 de la Figura 12 recibiría el valor de 1 debido a la puerta NAND. Igualmente se da esa situación para RESET y es por ello que con ENABLE en uno, el funcionamiento de este circuito es como un Flip-Flop NOR y con ENABLE en cero se garantiza que no habrá ningún cambio en las salidas.

¿Con qué nivel se habilita el Flip-Flop de la Figura 12?

Respuesta: Se habilita cuando ENABLE está en alto, es decir cuando ENABLE = 1.

¿Las entradas SET y RESET son activas con nivel ALTO o BAJO?

Respuesta: En nivel ALTO siempre y cuando ENABLE también está en ALTO, pues si ENABLE = 1, entonces cuando SET está en ALTO (en uno) y RESET en BAJO (en cero), la salida 1 será 1, es decir SET o FIJAR. Caso contrario, si SET está en BAJO y RESET en bajo, la salida será cero, es decir RESET o REINICIAR. Por lo tanto las entradas son activas en nivel alto, tal como sucede con el Flip-Flop NOR Set-Reset.

¿Siempre se da el efecto "RACE"?

Respuesta: Efectivamente la condición o efecto RACE siempre se da porque cuando ENABLE = 0, en la salida se tiene que "No hay cambio", de modo que cuando no se han asignado con anterioridad valores a memoria, como al encender la fuente de alimentación, no se sabe cuál será el resultado de la salida Q, pues podría ser 0 o podría ser 1, por lo que se estaría dando el efecto "RACE", que fue explicado anteriormente.

¿Si se da, en qué condiciones se da el efecto "RACE"?

Respuesta: Se da cuando no se han asignado valores en memoria para el Flip-Flop, como cuando se enciende la fuente de alimentación y se tiene ENABLE = 0, o cuando se enciende la fuente de alimentación y se tiene la siguiente condición: ENABLE = 1, SET = 0 y RESET = 0. En [síntesis](http://www.monografias.com/trabajos7/sipro/sipro.shtml) , el efecto "RACE" se da al dar al encender la fuente de alimentación y tener cualquiera de las cinco primeras condiciones de la Tabla 12, donde las salidas son "No hay cambio".

¿Qué ventajas presenta el Flip-Flop de la Figura 12?

Respuesta: Presenta la gran ventaja de permitir un mayor control sobre las salidas, pues hay momentos en los que puede ser necesario que no se den cambios independientemente de los valores que tenga SET y RESET. Cuando se quieran dejar las salidas tal como están sin que cambien independientemente de los valores SET y RESET, simplemente se tiene que poner ENABLE = 0, es decir DISABLE = 1. Cuando se quiera que el Flip-Flop vuelva a responder de acuerdo a las entradas que se tengan en SET y RESET, todo lo que se tiene que hacer es poner ENABLE = 1, es decir DISABLE = 0. Otra ventaja es que usando compuertas NAND, se puede obtener el funcionamiento de un Flip-Flop NOR Set-Reset mediante el diseño de la Figura 12, pues cuando ENABLE = 1, la tabla de verdad funciona exactamente como un Flip-Flop NOR Set-Reset, a pesar de estar trabajando físicamente con compuertas NAND o con un IC 74LS00.

Con un IC 555 (tal como se hizo en la Figura 9.1) se pueden aplicar pulsos de reloj en vez de poner ENABLE en uno o en cero conectando manualmente a tierra o dejándole un uno lógico mediante pines sueltos o mediante conexión a fuente de alimentación. En la Figura 13 se muestra cómo es posible hacer esto.



Si se ajusta el reloj a 0.5 Hz, se obtendrá un pulso cada dos segundos. Si el reloj está en nivel BAJO, el Flip-Flop está deshabilitado y cualquier cambio en la entrada no pasará a la salida. Si el reloj está en nivel alto, el Flip-Flop está habilitado y cualquier cambio en la entrada pasará a la salida. Para comprobar solamente se tienen que cambiar las entradas mientras el reloj está en uno y mientras está en cero, y se notará el efecto.

Los Flip-Flops de las Figuras 12 y 13 ofrecen un mayor control que el de la Figura 11, pero los cambios en las salidas Q y Q NEGADO solamente se pueden dar cuando el reloj o cuando ENABLE está en ALTO. Sin embargo la configuración presentada en la Figura 14 ofrece una excelente solución que permite hacer cambios en X y X NEGADO cuando ENABLE está en 1, y hacer cambios en Q y Q NEGADO cuando ENABLE está en cero.



El circuito de la Figura 14 se conoce como Flip-Flop master/slave Set-Reset, y se puede representar de la siguiente forma:



El circuito presentado en las Figuras 14 y 14.1 se construye con un INVERSOR o NOT (IC 74LS04) y dos NAND (IC 74LS00). En la Figura 14.1, el Flip-Flop de la izquierda se llama master y el de la derecha slave. Los valores de salida del Flip-Flop master pasan al esclavo cuando la señal de reloj cambia de nivel uno a cero, lo que se conoce como transición negativa de la señal de reloj. El INVERSOR conectado entre las dos entradas de reloj asegura que las dos secciones (master y slave) serán activadas durante ciclos opuestos de la señal de reloj. Esa es la clave de operación de este circuito. En síntesis, este circuito funciona de tal manera que cuando la entrada E (ENABLE o el SW3 de la Figura 14) pasa a uno, las entradas del circuito pasan a través del Flip-Flop master a sus salidas X y X NEGADO. No pasan por el slave porque el inversor lo deshabilita. Cuando E pasa a cero, se deshabilita el master, se habilita el slave y los valores de X y X NEGADO son transferidos a la salida.

La tabla de verdad para este circuito es la siguiente:

